

MENU

SEARCH

INDEX

DETAIL

JAPANESE

NEXT

1 / 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-110870
 (43)Date of publication of application : 08.04.2004

(51)Int.Cl. G11C 29/00
 G11C 11/401

(21)Application number : 2002-268314 (71) FUJITSU LTD
 Applicant :
 (22)Date of filing : 13.09.2002 (72)Inventor : ANDY CHEN
 OKA YASUSHI

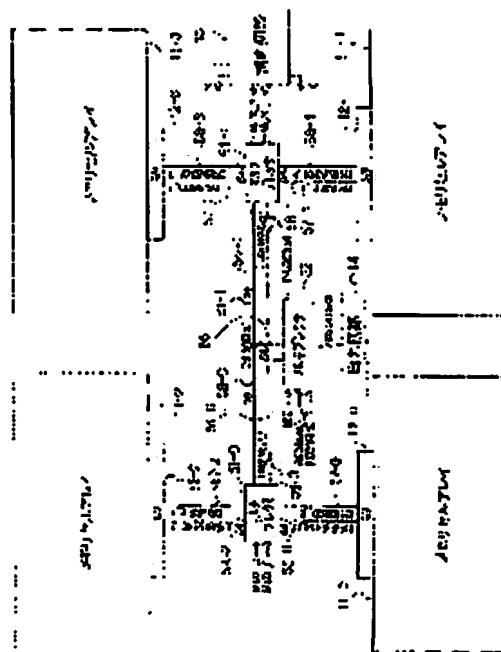
(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device reduced in circuit area in a configuration in which memory cell arrays are divided into blocks.

SOLUTION: The semiconductor memory device includes a plurality of the blocks which respectively include the memory cell arrays and output data signals and redundancy signals, at least one first multiplexer which selects one of a plurality of the blocks connected to a plurality of the blocks and a second multiplexer which executes redundancy processing in accordance with the data signal and redundancy signals after the block selection outputted from the first multiplexer.

本発明は、メモリセルアレイが複数のブロックに分割された、
 本発明による半導体記憶装置の構成の一実施形態を示す図



LEGAL STATUS

[Date of request for examination]	02.09.2005
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-110870

(P2004-110870A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int.Cl.⁷G11C 28/00
G11C 11/401

F1

G11C 29/00 603Z
G11C 11/34 371D

テーマコード(参考)

5L106
5M024

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号

特願2002-268314 (P2002-268314)

(22) 出願日

平成14年9月13日(2002.9.13)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 アンディーチェン

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 岡 泰史

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内Fターム(参考) 5L106 AA01 AA10 CC01 CC11 CC17
GG06

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

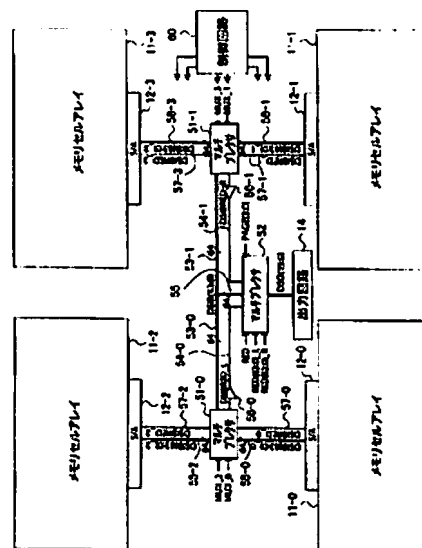
【課題】本発明は、メモリセルアレイがブロックに分割された構成において、回路面積を削減した半導体記憶装置を提供することを目的とする。

【解決手段】半導体記憶装置は、各々がメモリセルアレイを含みデータ信号と冗長信号とを出力する複数のブロックと、複数のブロックに接続され複数のブロックの1つを選択する少なくとも1つの第1のマルチプレクサと、第1のマルチプレクサから出力されるブロック選択後のデータ信号と冗長信号とに基づいて冗長処理を実行する第2のマルチプレクサを含むことを特徴とする。

【選択図】

図4

メモリセルブロックが複数のブロックに分割された
本発明による半導体記憶装置の構成の一例を示す図



【特許請求の範囲】

【請求項 1】

各々がメモリセルアレイを含みデータ信号と冗長信号とを出力する複数のブロックと、
該複数のブロックに接続され該複数のブロックの 1 つを選択する少なくとも 1 つの第 1 の
マルチプレクサと、
該第 1 のマルチプレクサから出力されるブロック選択後のデータ信号と冗長信号とに基づ
いて冗長処理を実行する第 2 のマルチプレクサ
を含むことを特徴とする半導体記憶装置。

【請求項 2】

該第 2 のマルチプレクサは、更にページ選択を実行することを特徴とする請求項 1 記載の 10
半導体記憶装置。

【請求項 3】

該第 1 のマルチプレクサと該第 2 のマルチプレクサとの間に設けられ該冗長信号を駆動す
るバッファを更に含むことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

該第 1 のマルチプレクサは少なくとも 2 つ設けられ、該少なくとも 2 つの第 1 のマルチプ
レクサの各々は、該複数のブロックのうちの対応するブロックに接続され、該第 2 のマル
チプレクサよりも該対応するブロックに近い位置に設けられることを特徴とする請求項 1
記載の半導体記憶装置。

【請求項 5】

該冗長信号は 1 ビットの信号であり、該第 2 のマルチプレクサは、該ブロック選択後のデ
ータ信号の各ビットに対して該冗長信号の 1 ビットで置き換えるか否かを決定することを
特徴とする請求項 1 記載の半導体記憶装置。

20

【請求項 6】

該第 2 のマルチプレクサの出力を受け取り該半導体記憶装置の外部に該出力を供給する出
力回路を更に含むことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 7】

該マルチプレクサを制御する制御回路を更に含むことを特徴とする請求項 1 記載の半導体
記憶装置。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、詳しくはメモリセルアレイが複数のブロックに分割さ
れた半導体記憶装置に関する。

【従来の技術】

DRAM (Dynamic Random Access Memory) やフラッシュ
メモリ等の半導体記憶装置においては、メモリセルアレイを複数のブロックに分割し、X
デコーダ、Y デコーダ、センスアンプ等のメモリコア周辺回路をそれぞれのブロックに別
個に設ける構成が一般にとられる。このようにブロックに分割することにより、例えばビ
ット線やワード線の負荷を小さくして高速なデータアクセスを可能にする等の利点が得ら
れる。

40

【0002】

メモリセルアレイを複数のブロックに分割した場合、データ読み出し時に、選択されたブ
ロックから出力を選択して出力回路に供給するマルチプレクサが必要となる。

【0003】

図 1 は、メモリセルブロックが複数ブロックに分割された従来の半導体記憶装置の構成の
一例を示す図である。

【0004】

図 1 の半導体記憶装置は、メモリセルアレイ 11-0 乃至 11-3、センスアンプ 12-0
乃至 12-3、マルチプレクサ 13、出力回路 14、制御回路 15、バッファ 16-0

50

乃至16-3、冗長ビット信号線17-0乃至17-3、及びデータ信号線18-0乃至18-3を含む。

【0005】

メモリセルアレイ11-0乃至11-3は、縦横に配置されるメモリセル、複数のワード線、複数のビット線、ワード線を選択するXデコーダ、Yアドレスを選択するYデコーダ等を含む。メモリセルアレイ11-0乃至11-3に対するデータアクセス動作は、制御回路15により制御される。センスアンプ12-0乃至12-3は、メモリセルアレイ11-0乃至11-3に対応して設けられ、メモリセルから読み出されたデータを増幅する。増幅されたデータは、データ信号線18-0乃至18-3を介してマルチプレクサ13に供給される。また同様に、メモリセルアレイ11-0乃至11-3から読み出される冗長ビット信号が、センスアンプ12-0乃至12-3により増幅され、冗長ビット信号線17-0乃至17-3を介してマルチプレクサ13に供給される。この例においては、各メモリセルアレイ11-n (n=0~3) から読み出されるデータ信号DSIB(63:0) __nは64ビットであり、また冗長ビット信号DSIBRED __nは1ビットである。

10

【0006】

マルチプレクサ13は、64ビットの冗長選択信号RED(63:0) __nに基づいて、データ信号DSIB(63:0) __nの64ビットについて冗長ビットDSIBRED __nで置き換えるか否かの選択を行う。また更に、マルチプレクサ13は、ブロック選択信号MUX __ (3:0) に基づいて、メモリセルアレイ11-0乃至11-3のうち1つのメモリセルアレイ(ブロック)に対応する読み出し信号を選択する。即ち、4対1のデータ選択を実行する。更にマルチプレクサ13は、ページ選択信号PAGE(3:0) に基づいて、64ビットのうちの各16ビットにより定義される4つのページから、1つのページを選択する。これによりマルチプレクサ13は、16ビットの出力データを出力回路14に供給する。

20

【0007】

図2は、マルチプレクサ13の構成の一部を示す回路図である。

【0008】

図2に示されるマルチプレクサ13の部分は、冗長ビットの置換及びページ選択を行う部分に関する回路部分である。図2の回路は、メモリセルアレイ11-0からのデータ信号DSIB(63:0) __0及び冗長ビット信号DSIBRED __0に関する部分であり、図2に示されるのと同じ回路構成がメモリセルアレイ11-1、メモリセルアレイ11-2、及びメモリセルアレイ11-3の各々について設けられる。

30

【0009】

図2の回路は、セクタ回路20-0乃至20-15を含む。セクタ回路20-0乃至20-15は同一の構成であり、セクタ回路20-0に代表して示すように、トランスファークロップ21乃至28及びトランスファークロップ31乃至34を含む。それぞれのセクタ回路は、データ信号DSIB(63:0) __0中の連続する4ビットを入力として受け取る。トランスファークロップ21乃至28は、冗長選択信号RED(63:0) __0中の対応4ビットにより制御され、データ信号DSIB(63:0) __0中の対応4ビットについて冗長ビットDSIBRED __0で置き換えるか否かの選択を行う。

40

【0010】

更に、トランスファークロップ31乃至34は、冗長処理後の対応4ビットから、ページ選択信号PAGE(3:0) に基づいて1ビットを選択する。これによりセクタ回路20-0乃至20-15は、それぞれ信号DSO(0) __0乃至DSO(15) __0を出力する。図2と同一の構成でメモリセルアレイ11-1に対応する回路は、信号DSO(0) __1乃至DSO(15) __1を出力する。更にメモリセルアレイ11-2に対応する回路は信号DSO(0) __2乃至DSO(15) __2を出力し、メモリセルアレイ11-3に対応する回路は信号DSO(0) __3乃至DSO(15) __3を出力する。

【0011】

50

以上により冗長ビットの置換及びページ選択が実行される。

【0012】

図3は、マルチプレクサ13の構成の別の一部を示す回路図である。

【0013】

図3に示されるマルチプレクサ13の部分は、ブロック選択を行う部分に関する回路部分である。図3の回路は、セクタ回路40-0乃至40-15を含む。セクタ回路40-0乃至40-15は同一の構成であり、セクタ回路40-0に代表して示すように、トランスファークロウ41乃至44を含む。1つのセクタ回路40-m (m=0~15)は、4つのブロックに対応して設けられる図2の構成の4つの回路のそれぞれから対応する1ビットを受け取り、DSO(m)_0乃至DSO(m)_3の4ビットが入力される。トランスファークロウ41乃至44は、これらの4ビットの入力から、ブロック選択信号MUX_(3:0)に基づいて1ビットを選択する。これによりセクタ回路40-0乃至40-15は、ブロック選択後の信号として、それぞれ信号DSO(0)乃至DSO(15)を出力する。

10

【0014】

以上により、冗長ビットの置換、ページ選択、及びブロック選択が実行される。

【0015】

なお上記記載に関わる出願人が知っている先行技術は、公知・公用の技術である既存の装置に関するものであり、先行技術調査に基づく文献公知発明に関するものではない。

【0016】

また従来技術として、メモリブロックから読み出されたデータを二次的に選択するデータセクタを有するものがある(特許文献1参照)。

20

【0017】

【特許文献1】

特開平6-150644

【0018】

【発明が解決しようとする課題】

図2の回路においては、1ビットの冗長ビット信号DSIBRED_0が64個のトランスファークロウに入力される。このように冗長ビット信号DSIBRED_n (n=0~3)にかかる負荷が大きいため、正常な動作を補償するために、図1に示されるように冗長ビット信号線17-nにバッファ16-nを挿入する必要がある。このバッファ16-nは、64本の信号配線を駆動する能力が必要であり面積が大きな回路素子となる。

30

【0019】

また各ブロック(メモリセルアレイ11-0乃至11-3)からマルチプレクサ13までの距離が長いために、データ信号線18-0乃至18-3の容量負荷が大きくなり、メモリセルの読み出しが遅くなるという問題がある。

【0020】

以上を鑑みて、本発明は、メモリセルアレイがブロックに分割された構成において、回路面積を削減した半導体記憶装置を提供することを目的とする。

【0021】

また本発明は、メモリセルアレイがブロックに分割された構成において、メモリセルの読み出し速度を向上した半導体記憶装置を提供することを目的とする。

40

【課題を解決するための手段】

本発明による半導体記憶装置は、各々がメモリセルアレイを含みデータ信号と冗長信号とを出力する複数のブロックと、該複数のブロックに接続され該複数のブロックの1つを選択する少なくとも1つの第1のマルチプレクサと、該第1のマルチプレクサから出力されるブロック選択後のデータ信号と冗長信号とに基づいて冗長処理を実行する第2のマルチプレクサを含むことを特徴とする。

【0022】

上記半導体記憶装置においては、第1のマルチプレクサでブロック選択を実行した後に第

50

2のマルチプレクサで冗長処理を実行するので、冗長信号を駆動するバッファを第1のマルチプレクサと第2のマルチプレクサとの間において既にブロック選択済みの冗長信号に対して設ければよい。従って、ブロック選択前の全ての冗長信号にバッファを設ける従来の構成と比較してバッファ数を削減することが出来る。

【0023】

また第1のマルチプレクサを少なくとも2つ設け、少なくとも2つの第1のマルチプレクサの各々を複数のブロックのうちの対応するブロックに接続するようにすれば、第2のマルチプレクサよりも対応するブロックに近い位置に第1のマルチプレクサを設けることが出来る。これによりデータ信号線及び冗長ビット信号線を従来に比して短くし、信号線の負荷容量を小さくすることが可能となり、メモリセルからの読み出し速度を向上することが出来る。

10

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0024】

図4は、メモリセルブロックが複数ブロックに分割された本発明による半導体記憶装置の構成の一例を示す図である。

【0025】

図4の半導体記憶装置は、メモリセルアレイ11-0乃至11-3、センスアンプ12-0乃至12-3、出力回路14、マルチプレクサ51-0及び51-1、マルチプレクサ52、データ信号線53-0及び53-1、冗長ビット信号線54-0及び54-1、データ信号線55、バッファ56-0及び56-1、冗長ビット信号線57-0乃至57-3、データ信号線58-0乃至58-3、及び制御回路60を含む。

20

【0026】

メモリセルアレイ11-0乃至11-3は、縦横に配置されるメモリセル、複数のワード線、複数のビット線、ワード線を選択するXデコーダ、Yアドレスを選択するYデコーダ等を含む。メモリセルアレイ11-0乃至11-3に対するデータアクセス動作は、制御回路60により制御される。センスアンプ12-0乃至12-3は、メモリセルアレイ11-0乃至11-3に対応して設けられ、メモリセルから読み出されたデータを増幅する。メモリセルアレイ11-0及び11-2から読み出され増幅されたデータは、データ信号線58-0及び58-2を介してマルチプレクサ51-0に供給される。メモリセルアレイ11-1及び11-3から読み出され増幅されたデータは、データ信号線58-1及び58-3を介してマルチプレクサ51-1に供給される。また同様に、メモリセルアレイ11-0及び11-2から読み出される冗長ビット信号が、センスアンプ12-0及び12-2により増幅され、冗長ビット信号線57-0及び57-2を介してマルチプレクサ51-0に供給される。メモリセルアレイ11-1及び11-3から読み出される冗長ビット信号は、センスアンプ12-1及び12-3により増幅され、冗長ビット信号線57-1及び57-3を介してマルチプレクサ51-1に供給される。この例においては、各メモリセルアレイ11-n (n=0~3) から読み出されるデータ信号DSIB(63:0)_nは64ビットであり、また冗長ビット信号DSIBRED_nは1ビットである。

30

40

【0027】

マルチプレクサ51-0は、ブロック選択信号MUX_0及びMUX_2に基づいて、メモリセルアレイ11-0及び11-2のうちで選択された1つのメモリセルアレイ(ブロック)に対応する読み出し信号(データ信号及び冗長ビット信号)を選択する。選択されたデータ信号DSIB(63:0)は、データ信号線53-0及び55を介してマルチプレクサ52に供給され、選択された冗長ビット信号DSIBRED_1は、冗長ビット信号線54-0及びバッファ56-0を介してマルチプレクサ52に供給される。ここでメモリセルアレイ11-0及び11-2のうち何れも選択されない場合、マルチプレクサ51-0の出力は浮遊状態である。

【0028】

50

マルチプレクサ51-1は、ブロック選択信号MUX_1及びMUX_3に基づいて、メモリセルアレイ11-1及び11-3のうちで選択された1つのメモリセルアレイ（ブロック）に対応する読み出し信号（データ信号及び冗長ビット信号）を選択する。選択されたデータ信号DSIB(63:0)は、データ信号線53-1及び55を介してマルチプレクサ52に供給され、選択された冗長ビット信号DSIBRED_Rは、冗長ビット信号線54-1及びバッファ56-1を介してマルチプレクサ52に供給される。ここでメモリセルアレイ11-1及び11-3のうち何れも選択されない場合、マルチプレクサ51-1の出力は浮遊状態である。

【0029】

ブロック選択信号MUX_0乃至MUX_3により4対1の選択が既に行われているので、マルチプレクサ51-0からのデータ信号DSIB(63:0)とマルチプレクサ51-1からのデータ信号DSIB(63:0)とは、そのまま結線により結合されて、データ信号線55としてマルチプレクサ52に供給される。

【0030】

マルチプレクサ52は、冗長有無を示す冗長有無信号REDと、それぞれが64ビットの冗長選択信号RED(63:0)_L及びRED(63:0)_Rに基づいて、データ信号DSIB(63:0)の64ビットについて冗長ビットDSIBRED_L或いはDSIBRED_Rで置き換えるか否かの選択を行う。また更に、マルチプレクサ52は、ページ選択信号PAGE(3:0)に基づいて、64ビットのうちの各16ビットにより定義される4つのページから、1つのページを選択する。これによりマルチプレクサ52は、16ビットの出力データDSO(15:0)を出力回路14に供給し、出力回路14はこのデータを半導体記憶装置外部に読み出しデータとして出力する。

【0031】

図5は、マルチプレクサ51-0の構成を示す回路図である。図6は、マルチプレクサ51-1の構成を示す回路図である。

【0032】

図5に示されるように、マルチプレクサ51-0は、セクタ回路61とセクタ回路62-0乃至62-63を含む。セクタ回路61は、トランスファークゲート63及び64を含み、ブロック選択信号MUX_0及びMUX_2に基づいて、冗長ビット信号DSIBRED_0及びDSIBRED_2のうち選択された一つを出力する。セクタ回路62-0乃至62-63は、同一の回路構成であり、セクタ回路62-0に代表して示すように、トランスファークゲート65及び66を含む。セクタ回路62-k(k=0~63)は、ブロック選択信号MUX_0及びMUX_2に基づいて、対応するデータ信号DSIB(k)_0及びDSIB(k)_2のうち選択された一つを出力する。

【0033】

図6に示されるように、マルチプレクサ51-1は、セクタ回路71とセクタ回路72-0乃至72-63を含む。セクタ回路71は、トランスファークゲート73及び74を含み、ブロック選択信号MUX_1及びMUX_3に基づいて、冗長ビット信号DSIBRED_1及びDSIBRED_3のうち選択された一つを出力する。セクタ回路72-0乃至72-63は、同一の回路構成であり、セクタ回路72-0に代表して示すように、トランスファークゲート75及び76を含む。セクタ回路72-k(k=0~63)は、ブロック選択信号MUX_1及びMUX_3に基づいて、対応するデータ信号DSIB(k)_1及びDSIB(k)_3のうち選択された一つを出力する。

【0034】

以上のようにして、マルチプレクサ51-0及び51-1により、ブロック選択が実行される。

【0035】

図7は、マルチプレクサ52の構成を示す回路図である。

【0036】

図7のマルチプレクサ52は、セクタ80-1乃至80-15を含む。セクタ回路8

10

20

30

40

50

0-0乃至80-15は同一の構成であり、セレクト回路80-0に代表して示すように、トランスファークラップ81乃至96を含む。1つのセレクト回路80-m ($m=0\sim15$)は、データ信号DSIB (63:0)中の対応する連続4ビットDSIB (4m)乃至DSIB (4m+3)を入力として受け取る。即ち、例えばセレクト回路80-1であれば、データ信号DSIB (63:0)中の対応する連続4ビットとしてデータ信号DSIB (4)乃至DSIB (7)を入力として受け取る。

【0037】

各セレクト回路80-m ($m=0\sim15$)において、トランスファークラップ81乃至92は、冗長有無信号RED、冗長選択信号RED (4m) _L乃至RED (4m+3) _L、及び冗長選択信号RED (4m) _R乃至RED (4m+3) _Rにより制御され、データ信号DSIB (4m)乃至DSIB (4m+3)について冗長ビットDSIB RED _L或いはDSIB RED _Rで置き換えるか否かの選択を行う。

10

【0038】

また更に各セレクト回路80-m ($m=0\sim15$)において、トランスファークラップ93乃至96は、冗長処理後の対応4ビットから、ページ選択信号PAGE (3:0)に基づいて1ビットを選択する。これによりセレクト回路80-0乃至80-15は、それぞれ信号DSO (0)乃至DSO (15)を出力する。これら出力信号は、出力回路14に供給される。

【0039】

以上のようにして、マルチプレクサ52により冗長ビットの置換及びページ選択が実行される。

20

【0040】

図4に示される構成においては、マルチプレクサ51-0とマルチプレクサ51-1とが、それぞれ対応するメモリセルアレイ11-0及び11-2とメモリセルアレイ11-1及び11-3とに近い位置に設けられている。従って、データ信号線58-n ($n=0\sim3$)及び冗長ビット信号線57-n ($n=0\sim3$)が、図1に示される従来のデータ信号線18-n及び冗長ビット信号線17-nに比べて短くなる。これにより信号線の負荷容量が小さくなり、メモリセルからの読み出し速度を向上することが出来る。

【0041】

またマルチプレクサ51-0及び51-1によるブロック選択実行後にマルチプレクサ52により冗長処理を実行するようにしたので、信号線駆動のためのバッファは、バッファ56-0と56-1の2つでよくなり、図1の従来構成の場合と比較してバッファ数を半減することが出来る。これにより回路面積の削減を図ることが可能となる。なおマルチプレクサ51-0及び51-1により4対1のブロック選択を実行しているので、選択ブロックの冗長ビット信号の1ビットのみをマルチプレクサ52に供給すればよい場合であれば、冗長ビット信号線54-0及び54-1を結線により接続して、結合後の冗長ビット信号を単一のバッファを介してマルチプレクサ52に供給すればよい。この場合には、更に回路面積の削減を図ることが出来る。

30

【0042】

また図4の構成にすることによって、カットダウンを効率的に実行できるという利点がある。ここでいうカットダウンとは、図4のような4ブロック構成の半導体記憶装置を設計した後に、この設計データを利用して2ブロック構成の半導体記憶装置を設計・製造することである。図4の構成においては、下半分の2つのブロック(メモリセルアレイ11-0及び11-1)を残して、上半分の2つのブロック(メモリセルアレイ11-2及び11-3)を容易に削除することが出来る。これは、マルチプレクサ51-0及び51-1において、それぞれメモリセルアレイ11-2及び11-3側の信号線を所定の電位にクランプする等の処理が可能であるからであり、この場合マルチプレクサ51-0、51-1、及び52の回路設計を変更する必要はない。

40

【0043】

また図4の構成においては、マルチプレクサ52への入力信号線は全部で66本であり、

50

図1の構成におけるマルチプレクサ13への入力信号線数である260本より大幅に少ない。従って、設計レイアウト上でマルチプレクサ52の位置を移動する際の手間が、信号線数が減った分少なくなるので、柔軟な回路設計を実現する手助けとなる。

【0044】

また上記実施例においては、ブロックの数を4つとして説明したが、ブロック数は4以外の数であってもよい。例えば6つのブロックが設けられる場合には、6つのブロックを2つつつ3つのグループに纏めて、マルチプレクサ51-0と同等の選択手段を3つ提供することにより6対1のブロック選択を実行し、その後に冗長処理及びページ選択処理を実行するようにすればよい。またマルチプレクサ51-0及び51-1のように、トランスファークゲートを一箇所に纏めて2入力1出力の形態をとる必要は無く、各ブロックの近傍に当該ブロックからの出力信号の通過/遮断を制御するトランスファークゲートを配置しても良い。即ち例えば、マルチプレクサ51-0のトランスファークゲート65をメモリセルアレイ11-2の近傍に配置し、マルチプレクサ51-0のトランスファークゲート66をメモリセルアレイ11-0の近傍に配置するよう構成しても良い。

10

【0045】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明による半導体記憶装置においては、第1のマルチプレクサでブロック選択を実行した後に第2のマルチプレクサで冗長処理を実行するので、冗長信号を駆動するバッファを第1のマルチプレクサと第2のマルチプレクサとの間において既にブロック選択済みの冗長信号に対して設ければよい。従って、ブロック選択前の全ての冗長信号にバッファを設ける従来の構成と比較してバッファ数を削減することが出来る。

20

【0046】

また第1のマルチプレクサを少なくとも2つ設け、少なくとも2つの第1のマルチプレクサの各々を複数のブロックのうちの対応するブロックに接続するようにすれば、第2のマルチプレクサよりも対応するブロックに近い位置に第1のマルチプレクサを設けることが出来る。これによりデータ信号線及び冗長ビット信号線を従来に比して短くし、信号線の負荷容量を小さくすることが可能となり、メモリセルからの読み出し速度を向上することが出来る。

30

【図面の簡単な説明】

【図1】メモリセルブロックが複数ブロックに分割された従来の半導体記憶装置の構成の一例を示す図である。

【図2】マルチプレクサの構成の一部を示す回路図である。

【図3】マルチプレクサの構成の別の一部を示す回路図である。

【図4】メモリセルブロックが複数ブロックに分割された本発明による半導体記憶装置の構成の一例を示す図である。

【図5】マルチプレクサの構成を示す回路図である。

【図6】マルチプレクサの構成を示す回路図である。

【図7】マルチプレクサの構成を示す回路図である。

40

【符号の説明】

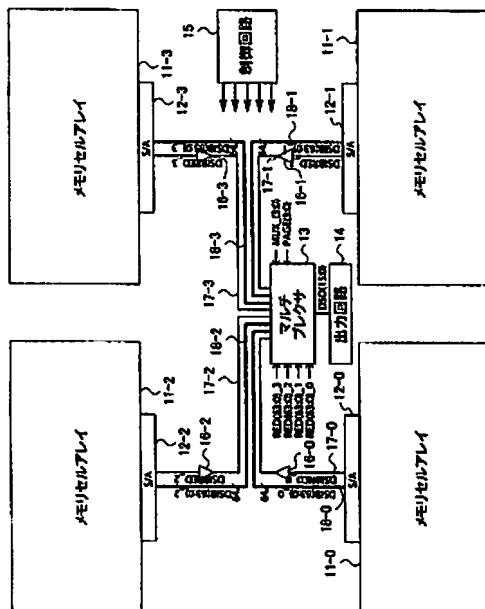
11-0、11-1、11-2、11-3 メモリセルアレイ
12-0、12-1、12-2、12-3 センスアンプ
14 出力回路
51-0、51-1 マルチプレクサ
52 マルチプレクサ
53-0、53-1 データ信号線
54-0、54-1 冗長ビット信号線
55 データ信号線
56-0、56-1 バッファ

50

57-0、57-1、57-2、57-3 冗長ビット信号線
 58-0、58-1、58-2、58-3 データ信号線
 60 制御回路

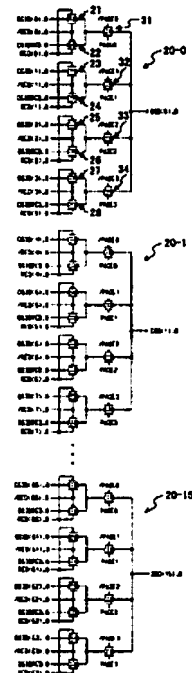
【図 1】

メモリスルブロックが複数ブロックに分割された従来の半導体記憶装置の構成の一例を示す図



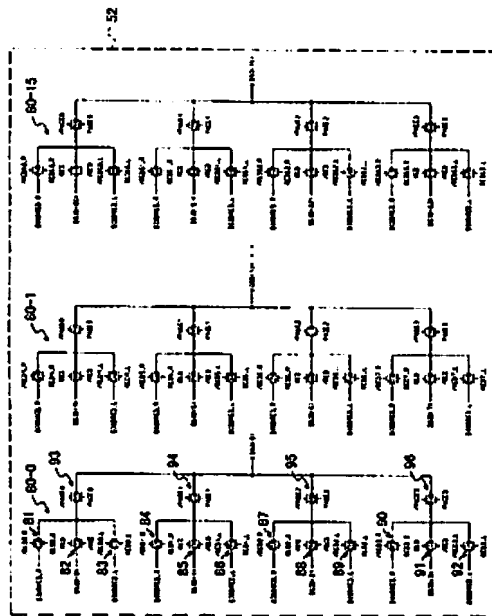
【図 2】

マルチプレクサの構成の一部を示す回路図



【図 7】

マルチプレクサの構成を示す回路図



フロントページの続き

Fターム(参考) 5M024 AA42 AA55 AA62 AA70 BB10 BB17 BB33 CC96 CC99 DD20
LL01 MM13 MM20 PP01 PP02 PP03